



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11054479 A**(43) Date of publication of application: **26.02.1999**(51) Int. Cl. **H01L 21/3065**(21) Application number: **09207830**(22) Date of filing: **01.08.1997**(71) Applicant: **SONY CORP**(72) Inventor: **NAKAJIMA HIDEHARU**

(54) **SEMICONDUCTOR MANUFACTURING
DEVICE FOR SELECTIVELY ETCHING OUTER
PERIPHERY OF SEMICONDUCTOR
SUBSTRATE AND MANUFACTURE OF
SEMICONDUCTOR DEVICE**

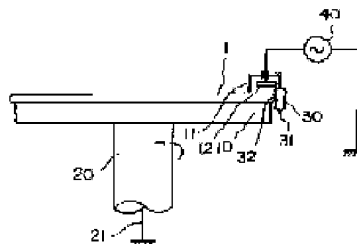
(57) Abstract:

PROBLEM TO BE SOLVED: To minimize misalignment between a lower titanium layer and an upper titanium nitride layer as much as possible, by providing on the outer periphery of a semiconductor substrate one or more counter-electrodes for plasma discharge and means for holding constant relation between the substrate and the counter-electrode during plasma discharge.

SOLUTION: A counter-electrode 12 is provided on the outer periphery of a semiconductor substrate 1, and a shielding plate 11 is provided on the boundary of an etching region of the outer periphery. The substrate 1 is rotated about a shaft 20 which is at the center of the substrate and perpendicular to the substrate plane. In addition, a guide mechanism for securely tracing the outer periphery of the substrate is provided, thus form-

ing a structure which enables correct reproduction of a titanium removal region on the outer periphery of the substrate. That is, the guide is caused to have a structure in which the counter-electrode 12 for edge etching and a guide roller 30 to be pressed against the outer periphery of the substrate for rotating the substrate 1 are integrated, thereby stabilizing the width of the outer periphery of the substrate. Thus, an upper layer film can perfectly cover a lower layer film, and the alignment margin of these two upper and lower layers on the outer periphery of the substrate can be reduced.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-54479

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁶

H 0 1 L 21/3065

識別記号

F I

H 0 1 L 21/302

B

審査請求 未請求 請求項の数14 O L (全 8 頁)

(21) 出願番号 特願平9-207830

(22) 出願日 平成9年(1997) 8月1日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中嶋 英晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

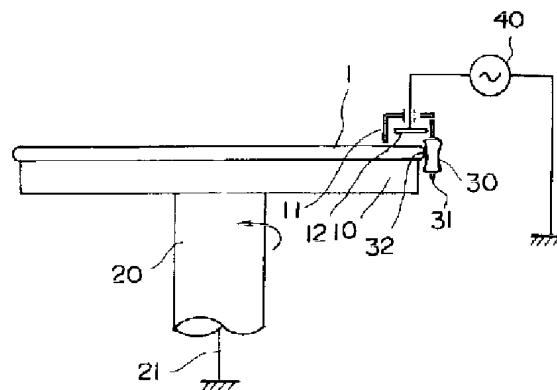
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体基板外周域を選択エッチングする半導体製造装置および半導体装置の製造方法

(57) 【要約】

【課題】エッチングガスに対する下層膜のエッチングレートが上層膜に比して高い場合に、リフトオフ等により上層膜が剥離を起こし、プロセスダストを増加させることを防止する半導体製造装置、および半導体装置の製造方法を提供する。

【解決手段】プラズマ放電を半導体基板外周域にのみ発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体製造装置であって、半導体基板外周域にプラズマ放電の為の少なくとも一つの対向電極と、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持する手段とを有する半導体製造装置、および該半導体製造装置を用いる半導体装置の製造方法。



【特許請求の範囲】

【請求項1】プラズマ放電を半導体基板外周域にのみ発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体製造装置であって、半導体基板外周域にプラズマ放電の為の少なくとも一つの対向電極と、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持する手段とを有する半導体製造装置。

【請求項2】プラズマ放電を半導体基板外周域にのみ発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体製造装置であって、半導体基板外周域の表面側および裏面側にプラズマ放電の為の少なくとも一つの対向電極と、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持する手段とを有する半導体製造装置。

【請求項3】前記プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態保持にする手段は、プラズマ放電の間、半導体基板を半導体基板平面に垂直な軸を中心として回転させる手段である請求項1に記載の半導体製造装置。

【請求項4】前記プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持する手段は、プラズマ放電の間、半導体基板を半導体基板平面に垂直な軸を中心として回転させる手段、および半導体基板側面に対して一定の力で当接する手段である請求項1に記載の半導体製造装置。

【請求項5】プラズマ放電を半導体基板外周域にのみ発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体製造装置であって、半導体基板外周域にプラズマ放電の為の少なくとも一つの対向電極と、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持する手段と、プラズマ放電を行う半導体基板外周域とプラズマ放電を行わない半導体基板領域とを遮蔽する手段とを有する半導体製造装置。

【請求項6】プラズマ放電を半導体基板外周域にのみ発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体製造装置であって、半導体基板外周域に半導体基板の半径方向にストライプ形状、又は2本の半導体基板半径と半導体基板略周線及びエッジエッチング領域のウェーハ中心側端で挟まれる形状のプラズマ放電の為の少なくとも一つの対向電極と、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持する手段とを有する半導体製造装置。

【請求項7】プラズマ放電を半導体基板外周域にのみ発

生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体製造装置であって、半導体基板外周域にプラズマ放電の為の少なくとも一つの対向電極と、プラズマ放電を発生させる半導体基板外周域とプラズマ放電を発生させない半導体基板領域とを遮蔽する遮蔽板と、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持する手段とを有する半導体製造装置。

【請求項8】半導体基板外周域に設けられた対向電極を用いて、半導体基板外周域にのみプラズマ放電を発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法であって、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持して、半導体基板外周域にのみプラズマ放電を発生させ、半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法。

【請求項9】半導体基板外周域に設けられた対向電極を用いて、半導体基板外周域にのみプラズマ放電を発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法であって、プラズマ放電の間、半導体基板を半導体基板平面に対して垂直な軸を中心として回転させることにより半導体基板と該対向電極の位置関係を一定の状態に保持して、半導体基板外周域にのみプラズマ放電を発生させ、半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法。

【請求項10】半導体基板外周域の表面側および裏面側に設けられた対向電極を用いて、半導体基板外周域にのみプラズマ放電を発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法であって、プラズマ放電の間、半導体基板を半導体基板平面に対して垂直な軸を中心として回転させることにより、半導体基板と該対向電極の位置関係を一定の状態に保持して、該プラズマ放電を半導体基板外周域にのみ発生させ、半導体基板外周域の表面側および裏面側の成膜を選択的にエッチングする半導体装置の製造方法。

【請求項11】半導体基板外周域の表面側および裏面側に設けられた対向電極を用いて、半導体基板外周域にのみプラズマ放電を発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法であって、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持して、該プラズマ放電を半導体基板外周域にのみ発生させ、半導体基板外周域の表面側および裏面側の成膜を選択的にエッチングする半導体装置の製造方法。

【請求項12】半導体基板外周域の表面側および裏面側

に設けられた対向電極を用いて、半導体基板外周域にのみプラズマ放電を発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法であって、

プラズマ放電の間、半導体基板を半導体基板平面に対して垂直な軸を中心として回転させることにより、半導体基板と該対向電極の位置関係を一定の状態に保持して、該プラズマ放電を半導体基板外周域にのみ発生させ、半導体基板外周域の表面側および裏面側の成膜を選択的にエッチングする半導体装置の製造方法。

【請求項13】半導体基板外周域の表面側および裏面側に設けられた対向電極を用いて、半導体基板外周域にのみプラズマ放電を発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法であって、

プラズマ放電の間、半導体基板を半導体基板側面に対して一定の力を加えながら、半導体基板平面に対して垂直な軸を中心として回転させることにより半導体基板と該対向電極の位置関係を一定の状態に保持して、該プラズマ放電を半導体基板外周域にのみ発生させ、半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法。

【請求項14】半導体基板上に層間絶縁膜を形成する工程と、

コンタクト孔を形成する工程と、

チタニウムおよびチタニウムナイトライドからなる積層膜を形成する工程と、

該積層膜上にタングステン膜を形成する工程と、

半導体基板とプラズマ放電の為の対向電極の位置関係を一定の状態に保持して、該プラズマ放電を半導体基板外周域にのみ発生させ、半導体基板外周域の成膜を選択的にエッチングする工程を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板外周域の成膜を選択的にエッチングする半導体製造装置、および半導体装置の製造方法に関する。

【0002】

【従来の技術】近年における半導体装置の設計ルールの微細化に伴って、コンタクト孔の大きさも小さくなってきているが、その一方で、絶縁耐圧の確保及び層間容量の低減の為に、層間絶縁膜の成膜厚は現状維持又はむしろ増加する傾向であり、コンタクト孔のアスペクト比はますます大きくなってきている。この為、コンタクトホールを形成後、アルミニウムのみで配線すると、アルミニウムは段差被覆性がよくないので、特にコンタクト孔の内部で断線し、導通不良を生じ易くなる。

【0003】そこで、かかるアルミニウム系配線に代わるものとして、例えば、特開昭62-29959号公報記載のように、コンタクト孔を形成した後にタングステ

ン膜を全面に堆積させ、このタングステン膜をエッチバックすることによって、コンタクト孔内にのみタングステン膜を残す、所謂ブランケットタングステンプラグ形成方法（以下、BLK-WCVD法という）が知られている。

【0004】この方法では、タングステン膜と絶縁膜である酸化シリコン膜との密着性を向上させる必要がある為、酸化シリコン膜上にチタニウム系材料からなる成膜を形成したのち、その上にタングステン膜を形成しながらエッチバックを行う工程が必要となる。

【0005】このエッチバックを行う工程において、半導体基板外周域において、チタニウム系材料からなる層が、上層のタングステン膜をはみ出す形で形成されている場合には、該エッチバック工程で使用するエッチングガスによりチタニウム系材料がエッチングされてタングステンが剥離するおそれがあり、この剥離したタングステンが装置や半導体基板を汚染する可能性がある。

【0006】ここで、前記BLK-WCVD法を用いる従来の製造方法について、図面を参照にしてこれを詳細に説明する。

【0007】例えば、図8に示すように、半導体基板1上に層間絶縁膜であるシリコン酸化膜2を、例えば、化学的気相成長法（以下、「CVD法」という）で形成したのち、図示しないコンタクト孔に対応する開口部を有するレジスト成膜をフォトリソグラフィ法でシリコン酸化膜2上に形成し、このレジスト成膜をマスクして、リアクティブイオンエッチング（以下、「RIE」という）装置でCHF₃ガス系にてエッチングを行い、コンタクト孔を開口する。

【0008】次に、シリコン酸化膜2と後に形成するタングステン膜との密着性を向上させるためのチタニウム系材料からなる層5を、例えば、リアクティブスパッタ法で全面に形成する。チタニウム系材料からなる層としては、例えば、順次チタニウム3、チタニウムナイトライド4を積層したものがある。

【0009】その後、図示しないタングステン膜を、CVD法によりコンタクト孔を埋めるように堆積させ（以下、この方法を「WCVD法」という）、図示しないが、RIE装置にて、タングステン膜とチタニウム系材料からなる層をエッチバックし、シリコン酸化膜2を露出させる。

【0010】このとき、タングステン膜をCVD法によりチタニウム系材料からなる層の上に堆積させるには、例えば、WF₆を含有するガスを使用する。WF₆はチタニウムナイトライドをエッチングすることはないが、チタニウムをエッチングする特性を有する。この為に、図8に示すように、半導体基板に於いてチタニウムナイトライド層の下にチタニウム層がチタニウムナイトライド層からはみ出す状態となっている場合には、図9に示すように、チタニウム層が優先的にサイドエッチングさ

れてチタニウムナイトライド層が底状となり、場合によってこれが折れて飛び出してダストとなる。

【0011】また、現在は、理論収率を大きくするために、半導体基板外周域まで可能な限り成膜する全面プロセスが主流となっている。ところが、チタニウム系材料と上層のタングステン層をそれぞれ全面プロセスで成膜すると、成膜が半導体基板外周域に回り込み、上層のタングステン層より下層のチタニウム系材料からなる層がはみ出す場合が生じる場合がある。かかる場合には、タングステン膜のエッチバック工程に使用するエッチングガスにより、チタニウム系材料からなる層（チタニウム層）がエッチングされて、上層のタングステン層が剥がれだすおそれがある。

【0012】これらを防止する為には、半導体基板ローディング時のリングと半導体基板の合わせずれを考慮して、チタニウム層がチタニウムナイトライド層よりはみ出さないようにリングの合わせ余裕を余分に取る必要がある。この為には、従来の機械的な大きな合わせずれを十分にカバーする余裕分半導体基板の周辺にチタニウムを成膜しないようなリングを形成することが必要であり、これによる理論収率の低下が問題となっていた。

【0013】

【発明が解決しようとする課題】上述したように、チタニウムはチタニウムナイトライドに比してWF₆によるエッチングレートが高い。従って、半導体基板外周域において、チタニウム系材料からなる層のうち、下層のチタニウム層が上層のチタニウムナイトライド層からはみ出す形で形成されると、次のWCVD工程に使用されるWF₆によりチタニウム層のエッチングが優先して進行し、半導体基板外周域にて上層のチタニウムナイトライド層に底が生ずる。そして、このチタニウムナイトライド層の底がくずれ剥がれだすおそれがある。

【0014】また、チタニウム系材料と上層のタングステンをそれぞれ全面プロセスで成膜すると、成膜が半導体基板外周域に回り込み、上層のタングステン層より下層のチタニウム系材料からなる層がはみ出す場合が生じる場合があり、タングステン膜のエッチバック工程に使用するエッチングガスにより、チタニウム系材料からなる層（チタニウム層）がエッチングされて、タングステン層が剥がれだすおそれがある。そして、これらがプロセスダストとなって、装置や半導体基板外周域を汚染し、歩留を低下させる原因となる。

【0015】そこで、本発明は、チタニウム系材料からなる層のうち、下層のチタニウム層と上層のチタニウムナイトライド層の合わせずれを可能な限り少なくして、プロセスダストを発生させない半導体製造装置、および半導体装置の製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は、半導体基板上の層間絶縁膜にコンタクト孔を設け、そこへ、チタニウ

ム系材料からなる層を形成し、その上にタングステン配線成膜を形成する半導体装置の製造において、エッチングガスに対する下層膜のエッチングレートが上層膜に比して高い場合に、リフトオフ等により上層膜が剥離を起こし、プロセスダストを増加させることを防止するものである。

【0017】すなわち、本発明は、半導体基板上の層間絶縁膜にコンタクト孔を設け、そこへチタニウム系材料からなる層を形成し、その上にタングステン膜を形成し、全面にレジスト膜を成膜したのち、半導体基板外周域のみを露光し、半導体基板外周域のみをエッチングガスにより選択的にエッチングする技術に関する。

【0018】以下、本発明を詳細に説明する。

【0019】本発明は、プラズマ放電を半導体基板外周域にのみ発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体製造装置であって、半導体基板外周域にプラズマ放電の為の少なくとも一つの対向電極と、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持する手段とを有する半導体製造装置である。

【0020】また、本発明は、半導体基板外周域に設けられた対向電極を用いて、半導体基板外周域にのみプラズマ放電を発生させることにより半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法であって、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持して、該プラズマ放電を半導体基板外周域にのみ発生させ、半導体基板外周域の成膜を選択的にエッチングする半導体装置の製造方法である。

【0021】本発明において、加工する半導体基板としては、例えば、シリコン半導体基板を挙げることができる。半導体基板の直径は、通常4～8インチ程度である。

【0022】本発明において、対向電極はプラズマ放電の為の電極であり、半導体基板外周域のみ選択的にプラズマを発生させるために、対向電極と半導体基板の外周部との距離は、該対向電極とプラズマ放電によりエッチングしない半導体基板領域との距離より近くに設置される。

【0023】前記対向電極は複数個設けられてもよく、複数個の対向電極を、例えば、対角線上に設けることは、より確実かつ短時間に半導体基板外周域のみをエッチングすることができるので好ましい。また、本発明において、前記対向電極を半導体基板外周域の表面側および裏面側の両側に設けるのも好ましい。半導体基板外周域では、成膜が半導体基板の裏面に周りこむことがあり、前記対向電極を半導体基板外周域の表面側および裏面側に設けることにより、裏面に回り込んだ成膜も確実にエッチングを行うことが可能となる。さらに、前記対向電極は半導体基板の表面側から裏面側に回り込むよう

に設けることによって、同様の効果を得ることができる。

【0024】前記対向電極の形状は、半導体基板の半径方向にストライプ形状、又は2本の半導体基板半径と半導体基板略周線及び半導体基板外周域のエッチング領域のウェーハ中心側端で挟まれる形状とすることが好ましい。このような形状とすることにより、ウェーハ周囲のエッチングを、ウェーハの任意の領域において均一に行うことができる。

【0025】本発明の半導体製造装置は、半導体基板外周域をプラズマ放電する間、半導体基板と該対向電極の位置関係を一定の状態に保持する手段を有する。半導体基板と該対向電極の位置関係を一定の状態に保持することにより、半導体基板周辺域のエッチングによる除去幅を一定の大きさに形成することが可能となる。このようにすることにより、多層に成膜を重ねる場合であっても再現性よく成膜同士の関係を保つことが可能となり、装置への半導体基板の合わせ精度が悪いことに左右されることなく、より狭い領域で成膜同士の合わせが可能となる。

【0026】前記プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持する手段としては、

- 1) プラズマ放電の間、半導体基板を、半導体基板平面に垂直な軸を中心として回転させる手段、
- 2) プラズマ放電の間、半導体基板を半導体基板平面に垂直な軸を中心として回転させながら、半導体基板側面に対して一定の力で当接する手段、等を挙げることができる。

【0027】上記手段によれば、半導体基板を半導体基板平面に垂直な軸を中心として回転させながらプラズマ放電を行うことにより、半導体基板外周域と該対向電極の位置関係を一定に保つことができるので、半導体基板外周域の成膜を均一にエッチングすることが可能となる。

【0028】また、さらに、半導体基板を半導体基板平面に垂直な軸を中心として回転させながら、半導体基板側面に対して一定の力で当接する手段を設けることにより、半導体基板外周域のエッチングをより均一に一定の領域で行うことができるので、半導体基板外周域のエッチング領域の再現性を著しく高めることができる。

【0029】半導体基板側面に対して一定の力で当接する手段として、例えば、プラズマ放電を半導体基板外周域にのみ発生させ、この状態で半導体基板外周域をガイドにして、半導体基板を回転させながらローラーと一体となった電極を用いてエッチングすることにより、成膜後に半導体基板外周域の成膜の除去幅を安定して形成することができる。

【0030】本発明の半導体製造装置においては、より確実に半導体基板外周域のみにプラズマ放電を発生させ

るために、プラズマを発生させる半導体基板外周域とプラズマを発生させない半導体基板領域とを遮蔽する遮蔽板を設けることができる。このような遮蔽板を設けることにより、プラズマを発生させない半導体基板領域をより確実にエッチングされるのを防止することができるので好ましい。

【0031】本発明の第2発明である半導体装置の製造方法は、半導体基板外周域に設けられたプラズマ放電の為の対向電極を用いて、プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持して、該プラズマ放電を半導体基板外周域にのみ発生させ、半導体基板外周域の成膜を選択的にエッチングすることの特徴とする。

【0032】本発明において、該対向電極は半導体基板外周域に複数個設けることができ、複数個設けることにより、より確実かつ短時間に半導体基板外周域のみをエッチングすることができるので好ましい。また、前記対向電極は半導体基板外周域の表面側および裏面側に設けられてもよい。半導体基板外周域では、成膜が半導体基板の裏面に周りこむこともあり、裏面に回り込んだ成膜も確実にエッチングを行うことが可能となる。さらに、前記対向電極は半導体基板の表面側から裏面側に回り込むように設けることによって、同様の効果を得ることができる。

【0033】前記対向電極の形状は、半導体基板の半径方向にストライプ形状、又は2本の半導体基板半径と半導体基板略周線及びエッジエッチング領域で挟まれる形状とすることが好ましい。このような形状とすることにより、ウェーハ周囲のエッチングを、ウェーハの任意の領域において均一に行うことができる。

【0034】本発明の半導体装置の製造方法において、前記プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持することにより、該プラズマ放電を半導体基板外周域にのみ発生させ、半導体基板外周域の成膜を選択的にエッチングすることの特徴とする。

【0035】半導体基板と該対向電極の位置関係を一定の状態に保持する手段としては、

- 1) プラズマ放電の間、半導体基板を半導体基板平面に垂直な軸を中心として回転させる手段、
- 2) プラズマ放電の間、半導体基板を半導体基板平面に垂直な軸を中心として回転させながら、半導体基板側面に対して一定の力で当接する手段、等を挙げることができる。

【0036】上記手段によれば、半導体基板を半導体基板平面に垂直な軸を中心として回転させながらプラズマ放電を行うことにより、前記プラズマ放電の間、半導体基板と該対向電極の位置関係を一定の状態に保持することが可能となり、半導体基板外周域のエッチングを均一に行うことができる。

【0037】さらに、プラズマ放電の間、半導体基板側

面に対して一定の力を加えながら、半導体基板を半導体基板平面に垂直な軸を中心として回転させることにより、半導体基板外周域のエッチングをより均一に一定の領域で行うことができ、半導体基板外周域のエッチング領域の再現性を著しく高めることができる。

【0038】半導体基板側面に対して一定の力を加える手段としては、例えば、プラズマ放電を半導体基板外周域にのみ発生させ、この状態で半導体基板外周域をガイドにして半導体基板を回転させながらローラーと一体となった電極を用いてエッチングする方法を挙げることができ、半導体基板外周域の成膜の除去幅を安定して形成することが可能となる。

【0039】さらに、より確実に半導体基板外周域のみでプラズマ放電を発生させるために、プラズマを発生させる半導体基板外周域とプラズマを発生させない半導体基板領域とを遮蔽する遮蔽板を設けて、半導体基板を半導体基板平面に垂直な軸を中心として回転させることにより、半導体基板外周域のエッチングをより均一に一定の領域で行うことができ、半導体基板外周域のエッチング領域の再現性を著しく高めることができ、プラズマを発生させない半導体基板領域がより確実にエッチングされるのを防止することができる。

【0040】本発明の半導体装置の製造方法は、好ましくは本発明の半導体製造装置を用いるが、これに限定されることなく、例えば、半導体基板を固定し、プラズマ放電装置を半導体基板の周辺部上を移動する装置等の他のタイプの装置にも広く適用することができる。

【0041】本発明によれば、

1) 従来の成膜遮断リングを用いる方法では半導体基板とリングの合わせずれがあり、このズレがあってもタングステンから下層膜がはみ出さないようにリングで覆う半導体基板エッジ部の領域マージンを取る必要があったが、半導体基板外周域をガイドにして半導体基板を回転させることにより、半導体基板外周域から一定の距離で成膜させない領域を設けることが可能となり、リングのときに必要であった合わせ余裕が不要となることで、理論収率を改善することができる。

【0042】2) また、従来の成膜遮断リングを使用する場合には、上記に加え、成膜を繰り返すことでリングに付着した成膜物質が剥離する問題が生じるが、このリングを除去することによりこのダストの発生を根本的に防止することができる。

【0043】

【発明の実施の形態】以下に、本願発明の第1および第2実施形態を図1～7を参照しながら説明する。なお、図8、9に示した従来例と対応する構成部分には同一の符号を付している。

【0044】第1実施形態

図1に示すように、基板1上に、層間絶縁膜であるシリコン酸化膜2を形成し、図示しないコンタクト孔を形成

する。このためには、図示しないコンタクト孔に対応する開口部を有するレジスト成膜をフォトリソグラフィ法でシリコン酸化膜2上に形成し、このレジスト成膜をマスクして、リアクティブ・イオン・エッチング装置（以下RIE）で CHF_3 ガス系にてエッチングを行う。

【0045】次に、シリコン酸化膜2と後に形成するタングステン膜との密着性を向上させるためのチタニウム系材料からなる層5をリアクティブスパッタ法で全面に形成する。チタニウム系材料としては、順次チタニウム層3、チタニウムナイトライド層4を積層したものを用いる。チタニウム層3、およびチタニウムナイトライド層4の成膜厚は、例えば、それぞれ10～100nm、20～100nmである。

【0046】その後、図示しないタングステン膜を、CVD法により、コンタクト孔を埋めるように堆積し、形成する。このようにして形成するタングステン膜の成膜厚は、例えば、400～1000nmである。

【0047】その後、RIE装置にて、例えば、以下の条件により、タングステン膜とチタニウム系材料をエッチバックし、シリコン酸化膜2を露出させる。

【0048】

反応ガス流量比： $\text{SF}_6/\text{Cl}_2 = 40/20 \text{ sccm}$
圧力＝1Pa、高周波パワー＝600W、13.56MHz

上述したように、従来法では、図8に示すように、図示しないタングステン膜をCVD法によりチタニウムナイトライド層上に堆積させるときに、チタニウムナイトライド層より下層のチタニウム層がはみ出す状態になっていると、図9に示すように、チタニウム層が WF_6 により、優先的にサイドエッチングされて、チタニウムナイトライド層が底状となり、これが折れて飛びダストとなる。従って、図1に示すに、チタニウムがチタニウムナイトライドに完全に覆われる状態とすることが上記の問題を防止するために必要であった。

【0049】そこで、従来構造で、チタニウム系材料3を半導体基板外周域にて、図示しないシャドーリングを使って堆積されないようにした場合に、スパッタ装置に半導体基板がローディングされるときに位置合わせ精度が十分に大きくないことから、このリング合わせずれが大きくなることが問題となる。

【0050】この点を改善すべく本発明の第1実施形態では、図2、3に示すように、次の3点を特徴とする半導体製造装置としている。

【0051】(1) 図2に示すように半導体基板外周域のみに対向電極12を、半導体基板外周域エッチング領域の境に遮蔽板11を設け、及び、半導体基板を、半導体基板中心にあつて半導体基板平面に垂直な軸を中心として回転する機構とする。

【0052】(2) 図3に示すように、上記(1)の機

構に加え、半導体基板外周域を確実にトレースするガイド機構を抱かせて、正しく半導体基板外周域のチタニウム層の除去領域を再現できる構造とする。

【0053】このガイドの拡大図を図4に示す。図4に示すガイドは、エッジエッチング用の対向電極12と半導体基板外周域に押しつけたまま半導体基板を回転する為のガイドローラー30が一体となった構造となっており、これにより半導体基板外周域領域の幅の安定化が可能となる。また、図5には本発明に用いる対向電極の一形状を示す。

【0054】上記第1実施形態によれば、プラズマ放電の間、半導体基板を、半導体基板中心にあって半導体基板平面に垂直な軸を中心として回転させながら、半導体基板側面をガイドにより半導体基板外周域から一定の距離に保つことにより、下層膜を上層膜の内側に必ず入れることが高い精度で行うことが可能となる。この為、この2層の成膜の半導体基板外周域部での合わせ余裕を少なく抑えることが可能となり、歩留を確保するための半導体基板外周域処理をしながら、同時に半導体基板の理論収率を上げる生産性改善も期待できる。

【0055】第2実施形態

次に、本発明の第2実施形態について説明する。

【0056】半導体基板外周域では成膜が裏面に回り込むこともあり、この点に対しても確実にエッチングを行えるようにする必要がある。第2実施形態の半導体製造装置では、図6に示すように、エッジエッチング用の対向電極を半導体基板裏面にまで回り込ませた構造となっている。

【0057】また、図7に示すように、対向電極を対角線上に複数箇所設けることで、より短い作業時間で、より均一性よく半導体基板外周域のエッチングを可能としている。また、さらに、エッチングの均一性を改善するために、対向電極が半導体基板外周域周辺を通過する前にエッチングを行うにあたり、電極の形状を半導体基板中心から2本の半径と半導体基板外周域エッチ領域で囲まれる領域としている。これは、エッチング時に半導体基板エッチング領域を通過する対向電極の累積を一定とする為である。

【0058】上記の本発明の第2実施形態によれば、成膜が半導体基板裏面に回り込むことによる、例えば、剥がれや、半導体基板外周域が裏面に付いた成膜により高くなることによるステッパーでのフォーカスズレ等の問題が、裏面にまでエッチングを行うことにより回避できるようになった。

【0059】

【発明の効果】以上の説明から明らかなように、本発明の半導体製造装置によれば、半導体基板外周域において、タングステンを成膜後に半導体基板外周域のエッチング除去幅を安定して形成することができ、上層膜が下層膜を完全にカバーするように形成することが可能とな

る。従って、装置への半導体基板の合わせ精度の悪さ等に振り回されることなく、狭い領域で成膜同士の合わせが可能となることで、半導体基板の理論収率を改善することが可能となった。

【0060】また、多層に成膜を重ねる場合であっても、順にローラーと電極の関係を変化させることで、半導体基板外周域のエッチング除去幅を安定して形成することができ、上層膜が下層膜を完全にカバーするように形成することが可能となる。更に、半導体基板裏面にまわりこむことによる、例えば、剥がれや、半導体基板外周域が裏面に付いた成膜により高くなることによるステッパーでのフォーカスズレ等の問題が、裏面にまでエッチングを行うことにより、回避できるようになった。

【0061】また、本発明の半導体装置の製造方法によれば、プロセスダストを防止し、信頼性の高いデバイスを高い理論収率で実現可能となる。

【図面の簡単な説明】

【図1】半導体基板に酸化膜を形成し、チタニウム層の上にチタニウムナイトライド層を積層したときに、下層膜が上層膜の内側となるように形成した状態図である。

【図2】本発明の半導体製造装置の一実施態様の概念図である。

【図3】図2に示す本発明の半導体製造装置を上から見た図である。

【図4】本発明の半導体製造装置に使用する対向電極とガイドローラーが一体となっている主要部品の拡大図である。

【図5】本発明の半導体製造装置に使用する対向電極の一形状を示す図である。

【図6】半導体基板の表面から裏面に回り込むように対向電極を設けた本発明の半導体製造装置の一実施態様の概念図である。

【図7】対向電極を半導体基板の対角線上に2個設けた本発明の半導体製造装置の一実施態様の概念図である。

【図8】半導体基板に酸化膜を形成し、チタニウム層の上にチタニウムナイトライド層を積層した場合であり、下層膜が上層膜よりはみ出た状態図である。

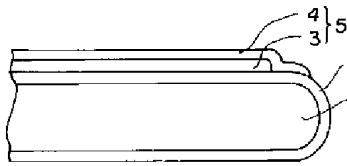
【図9】半導体基板に酸化膜を形成し、チタニウム層の上にチタニウムナイトライド層を積層した場合であり、下層膜が上層膜よりはみ出た状態となったのち、WF₆を用いてタングステン膜の成膜を行った場合において、はみ出ているチタニウム層がWF₆によりエッチングされ、チタニウムナイトライド層が底となった状態図である。

【符号の説明】

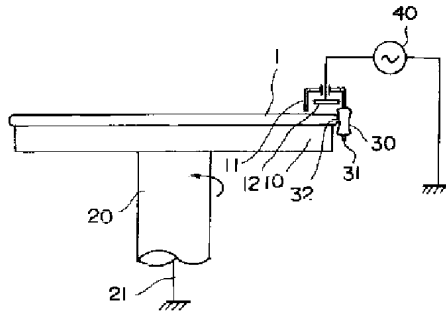
1…半導体基板、2…シリコン酸化膜、3…チタニウム層、4…チタニウムナイトライド層、5…チタニウム系材料からなる層、10…半導体基板試料台、11…遮蔽板、12、13、14…対向電極、20…半導体基板試料台の回転軸、21…半導体基板試料台の回転中心、3

0…ガイドローラー、31…ガイドローラーの軸、40 …RF源

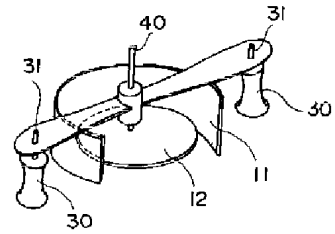
【図1】



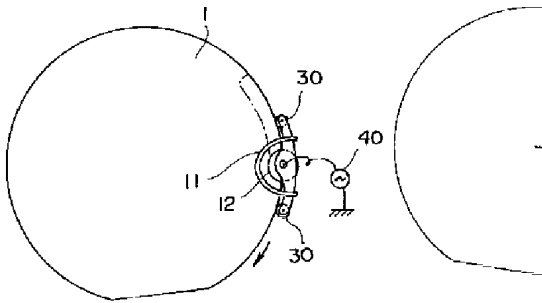
【図2】



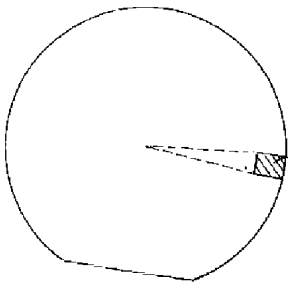
【図4】



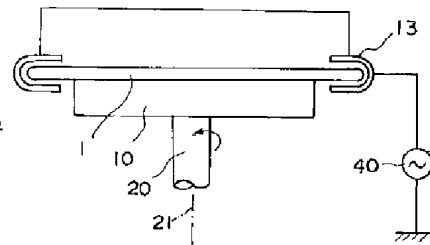
【図3】



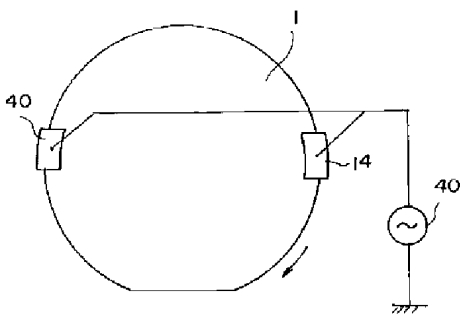
【図5】



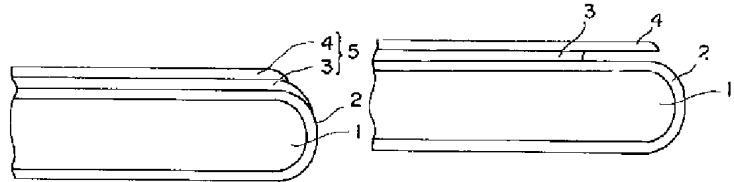
【図6】



【図7】



【図8】



【図9】

